

(3)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283974

(43)Date of publication of application : 31.10.1997

(51)Int.Cl. H05K 9/00
H05K 3/46
// H05K 1/02

(21)Application number : 08-097988

(71)Applicant : HITACHI LTD

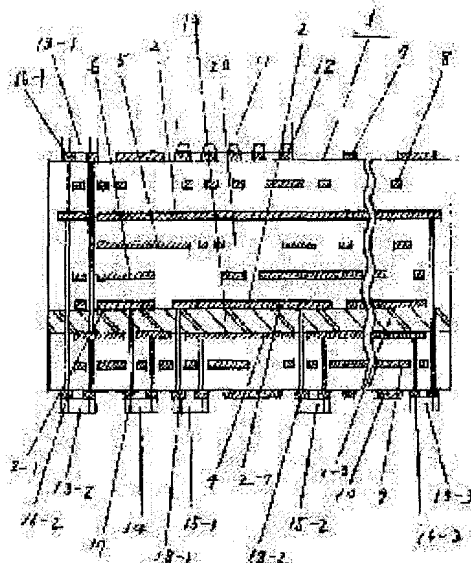
(22)Date of filing : 19.04.1996

(72)Inventor : AKIBA YUTAKA

(54) LOW-EMI MULTILAYER CIRCUIT BOARD AND ELECTRONIC APPARATUS USING THE SAME**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a low-EMI multilayer circuit board by which an unwanted radiation is suppressed by a structure wherein, when a power-supply layer is formed of a plurality of split conductor patterns, capacitances by discrete components are connected in parallel between the power-supply layer and a grounding layer.

SOLUTION: A power-supply layer V2 is sandwiched between a grounding layer G1 3 and another grounding layer G2 4, and a signal layer S3 5 and a signal layer S4 6 are sandwiched between the power-supply layer V2 and the grounding layer G1 3. It is difficult to ensure a capacitance so as to realize a low Q by using only as stray capacitance between ordinary layers because a conductor area is reduced in a split conductor pattern 2-2 or the like. Then, as a means to easily increase the capacitance or as a means by which the capacitance of the power-supply layer V2 composed of many kinds of power-supply patterns is made proper, discrete components which are composed of chip capacitances 15 (15-1, 15-2) are used between the power-supply layer V2 and the grounding layer G2 4 so as to realize a low Q.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

低EMI多層回路基板、及びこれを用いた電子装置

特開平9-283974

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-283974

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H05K 9/00			H05K 9/00	R
	3/46		3/46	N
// H05K 1/02			1/02	Q
				N

審査請求 未請求 請求項の数8 OL (全9頁)

(21)出願番号 特願平8-97988

(22)出願日 平成8年(1996)4月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 秋庭 豊

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

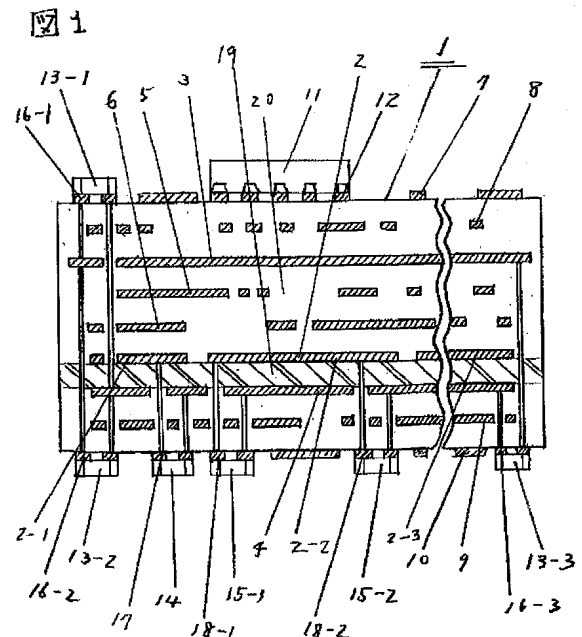
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 低EMI多層回路基板、及びこれを用いた電子装置

(57)【要約】

【課題】本発明は、例えばIC、LSI素子等のスイッチング時においてグラウンド層に対する電源層の電位変動をEMI対策部品を用いずジュール熱に変換して不要輻射を抑制する回路基板で、多種電源を使用する場合特に層数を増加させずに電源層Vのベタパターンまたは分割パターンに対して効率的、効果的に低Q化を実現させることが課題である。

【解決手段】本発明は、層数を増加させずに電源層Vのベタパターンまたは複数の分割パターンに対して効率的、効果的に低Q化を実現するため、ベタパターンまたは複数の分割パターンと、もう一つのグラウンド層G2との間で形成される層間浮遊容量C2(C2j)に対して、容量C2とインダクタンスL2に対する低Q化条件を満足させてチップ容量を並列接続したことを特徴とする。



【特許請求の範囲】

【請求項1】電子部品と少なくとも一方が電氣的に接続された第一及び第二のグラウンド層と、
該第一のグラウンド層と該第二のグラウンド層との間に設けられる該電子部品と電氣的に接続された電源層と、
該第一のグラウンド層と該第二のグラウンド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、
該各層間に配置された誘電体層と、
該第一の表面層もしくは該第二の表面層に形成される、該第一のグラウンド層と該第二のグラウンド層と各々電氣的に接続される抵抗体と、
該第一の表面層もしくは該第二の表面層に形成される、該電源層と該第二のグラウンド層と各々電氣的に接続される容量とを備えることにより不要輻射を抑制した基板となし、
該基板を筐体に収容したことを特徴とする電子機器。

【請求項2】第一のグラウンド層と第二のグラウンド層の間に配置された電源層と、該第一のグラウンド層と該第二のグラウンド層の外側に配置された第一の表面層と第二の表面層と、該各層間に配置された誘電体層を含む多層回路基板であって、
該第一の表面層もしくは該第二の表面層に、該第一のグラウンド層と該第二のグラウンド層と各々電氣的に接続される抵抗体を形成し、
該第一の表面層もしくは該第二の表面層に、該電源層と該第二のグラウンド層と各々電氣的に接続される容量を形成したことを特徴とする低EMI多層回路基板。

【請求項3】電子部品と少なくとも一方が電氣的に接続された第一及び第二のグラウンド層と、
該第一のグラウンド層と該第二のグラウンド層との間に設けられる該電子部品と電氣的に接続された電源層と、
該第一のグラウンド層と該第二のグラウンド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、
該各層間に配置された誘電体層と、
該第一のグラウンド層と該第二のグラウンド層とを電氣的に接続される抵抗体と、
該第一の表面層もしくは該第二の表面層に形成される、該電源層と該第二のグラウンド層と各々電氣的に接続される容量とを備えることにより不要輻射を抑制した基板となし、
該基板を筐体に収容したことを特徴とする電子機器。

【請求項4】第一のグラウンド層と第二のグラウンド層の間に配置された電源層と、該第一のグラウンド層と該第二のグラウンド層の外側に配置された第一の表面層と第二の表面層と、該各層間に配置された誘電体層と、該第一のグラウンド層と該第二のグラウンド層とを電氣的に接続される抵抗体とを含む多層回路基板であって、
該第一の表面層もしくは該第二の表面層に、該電源層と

該第二のグラウンド層と各々電氣的に接続される容量を形成したことを特徴とする低EMI多層回路基板。

【請求項5】前記電源層は複数個の電源に対応して互いに絶縁された平面導体パターンに分割され、

05 前記電子部品は必要な電源に対応した該平面導体パターンと電氣的に接続し、
前記容量は、少なくとも1つの該平面導体パターンに対応して設けたことを特徴とする請求項1または3記載の電子機器。

10 【請求項6】前記電源層は複数個の電源に対応して互いに絶縁された平面導体パターンに分割され、
前記容量は、少なくとも1つの該平面導体パターンに対応して設けたことを特徴とする請求項2または4記載の低EMI多層回路基板。

15 【請求項7】前記容量を前記電源層もしくは前記平面導体パターンに対して複数設けたことを特徴とする請求項1、3、5のいずれかに記載の電子機器。

【請求項8】前記容量を前記電源層もしくは前記平面導体パターンに対して複数設けたことを特徴とする請求項2、4、6のいずれかに記載の低EMI多層回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特にIC、LSI素子や回路の高速化、高密度化で増々重要となるEMC対応の電子機器もしくは、それに用いられる回路基板に関する。

【0002】

【従来の技術】EMCは、EMI（ノイズを出す側）とイミュニティ（ノイズを受ける側）との電磁環境を両立させることを目的としている。近年、製品の高性能化に伴う動作周波数の高速化が、その不要輻射の放射強度を増大させ、そのEMIを厳しい状況へと導いている。またこれら電子製品の普及も伴い、電子製品等のEMI対策は深刻化している。

35 【0003】今後予想されている不要輻射の増加量は4dB/年とも言われているが、このように不要輻射が増加すれば、電磁環境はさらに悪化し、テレビ画面が乱れたり、航空機の操縦システムがコントロール不能になったり等の社会的な問題を引き起こすことは間違いない。

40 【0004】そのため、ノイズ規制が放射強度、適用対象製品の範囲等の点でますます強化されており、メーカー各社は、この規制値をクリアするように設計、シミュレーション予測技術等により製品のEMC性能向上を図っているのが現状である。

45 【0005】これらに関する技術文献としては、特開平3-14284号公報が挙げられる。特開平3-14284号公報では、製品の実装密度や量産性を考慮して、既存の対策部品であるフェライトコア、フェライトビーズの個別部品に代わるプリント基板への組込構造を開示したものである。

【0006】製品のEMC性能向上を図るには、従来からI/O部、電源コードのコモンモードチョークやフィルタ、バイパスコンデンサ等の各種対策部品が使用されているが、これらには■コストの上昇、■体積の増加による製品の小型化、薄型化、軽量化等、いわゆる高密度実装への障害、■対策部品の高度化、■外観デザイン設計の制約条件等のデメリットもあった。

【0007】また、このような従来技術では製品の動作周波数の高速化に伴う今後の不要輻射の増大に対応することにも限界がある。

【0008】例えばバイパスコンデンサは、アンテナの駆動源となるグラウンド系の電位変動の吸収を図るために設けられているが、バイパスコンデンサも動作周波数が増加し高調波成分の周波数が高くなると、それ自身がインダクタンス成分を持つことで本来のコンデンサ特性を示さなくなり、グラウンド系の電位変動を吸収できなくなってしまう。

【0009】これ以外の解決手段としては、最近のノート型パソコンに見られるような、プラスチック筐体にメッキ等を施すことで不要輻射を抑制するシールド構造としても良いが、このシールド構造についても■コストの上昇、■プラスチック筐体のリサイクル化の障害等から、その製品の付加価値を低下させるといったデメリットがある。

【0010】

【発明が解決しようとする課題】このようなことから電子機器に対して付加価値を低下させずに不要輻射を抑制する新たな解決手段が望まれているが、その不要輻射のメカニズムはまだまだ解明されていない。学会等でも、文献：信学技報EMCJ94-88(1995-3)に示されるように、コモンモード放射に対する放射源モデルのメカニズム解明が遅れており、今後の課題とされているのが現状である。

【0011】本発明の第一の目的は、搭載する回路基板レベルで不要輻射を抑制した電子機器もしくはその回路基板を提供することにある。

【0012】本発明の第二の目的は、ディスクリート部品を用いて、搭載する回路基板レベルで不要輻射を抑制する場合のそのインダクタンス成分考慮した電子機器もしくはその回路基板を提供することにある。

【0013】特に本発明は、複数の多種電源パターンを有する電源層を用いた電子機器もしくは回路基板において、効果的に不要輻射を抑制するのに必要な容量を確保させることを目的とする。

【0014】

【課題を解決するための手段】我々は、このような課題に対して、搭載する回路基板レベルで不要輻射を抑制した電子機器等を研究してきた。

【0015】その不要輻射を回路基板レベルで抑制する原理について図4、図5を参照して簡単に説明する。

【0016】現在、コモンモード放射に対する放射源モデルのメカニズムは解明されていないが、我々は不要輻射の原因は電源層とグラウンド層との間で生ずる電位変動であると仮定し、この電位変動を抵抗体(抵抗体層)を設けることで吸収することとした。この電位変動は回路基板等に搭載される電子部品の駆動周波数に依存しており、本発明の構造体もしくは回路基板を■集中定数回路、■分布定数回路として作用する場合の大きく2つに分けて取り扱うこととした。ただし両者とも基本構成はほぼ同一である。

【0017】まず集中定数回路として本発明の構造体もしくは回路基板が作用する場合について簡単に説明する。

【0018】図4に示す構造体は、電源層(V)2とグラウンド層(G1)3で誘電体層14(C1)を挟んで容量C1を形成し、電源層(V)2とグラウンド層(G2)5で誘電体層15(C2)を挟んで容量C2を形成し、更にグラウンド層(G1)3とグラウンド層(G2)5で抵抗体層6を挟んで抵抗Rcを形成した。抵抗Rcを形成する場合、同時に抵抗体層6の材料により容量Ccを形成しても良い。この構造体では、電源層(V)とグラウンド層(G)との間に抵抗Rcを回路的に直接接続することが困難なため、もう一つのグラウンド層と誘電体層15(C2:εr2)とを形成し、抵抗Rcと容量C2と直列接続して直流成分をカットするよう構成している。

【0019】図5は、図4の構造体を適用した5層回路基板の断面構造を示す。

【0020】5層回路基板は、信号層(S1)1、電源層(V)2、グラウンド層(G:G1)3、及び信号層(S2)4からなる4層回路基板の構成にもう一つのグラウンド層(G2)5と抵抗体層6(6-1、6-2)を付加し、グラウンド層(G1)3とグラウンド層(G2)5の間に電源層(V)2と抵抗体層6を配置し、かつ抵抗体層6を電源層(V)2の周囲に配置する構造をもつ。5層回路基板が矩形形状の場合、抵抗体層6の形状をグラウンド層(G1)3とグラウンド層(G2)5の外形状に合わせて額縁形にしても良い。スルーホール12は、インダクタンスLを小さくするため多点のスルーホール構造としている。

【0021】第4図もしくは第5図に示す構造体もしくは回路基板では、電源層(V)とグラウンド層(G1)との間に発生した電位変動V1を吸収するため、容量C1(εr1)に対して基板内部に形成した抵抗Rcを接続して、容量C1と抵抗Rcの並列回路を形成し、Q値を小さくさせる(Q値:理想的には10以下を実現する)。つまり、集中定数回路として本発明の構造体もしくは回路基板が作用する場合は、抵抗体Rcを設けることで低Q化させて、電位変動を吸収させる。Q値は、蓄積したエネルギーと消費するエネルギーとの比を表す指数であるが、このQ値が小さいほど蓄積したエネルギーを効率よ

く消費することとなる。例えば $Q=1$ の場合、1周期において発生したエネルギーをその1周期で消費することを意味する。本構造体の Q 値（容量 $C1$ と抵抗 Rc の並列回

$$Q = \omega C1 Rc \dots\dots\dots (1)$$

式(1)から Q 値を小さくするには抵抗 R を小さくしなければならぬことが分かる。つまり低 Q 化においては抵抗は導体であってもかまわないのである。

【0023】言い換えるならば、本構造体は、容量 $C1$ 19で半周期毎に交換される振動エネルギーを同時に抵抗 Rc 16で消費させ、電源層(V)2とグランド層(G1)3の間に発生する電位変動 $V1$ 20を吸収し、不要輻射を抑制させる。

【0024】一方、式(1)が成立するのは、輻射抑制領域の周波数に対して、容量 $C1$ と抵抗 Rc の並列回路を実効的に形成した場合であり、そのためには容量 $C2$ のインピーダンスを抵抗 Rc に比較して十分小さくする必要がある。

$$R \gg \omega L2 \dots\dots\dots (2)$$

この条件を満たすには、例えば図2(1)に示す抵抗 R 接続時のスルーホールインダクタンス $L2$ を多点スルーホールにすることで低減させれば良い。

【0030】さらに、容量 $C2$ が以下の条件を満たす場合（容量 $C2$ のインピーダンスを抵抗 Rc に比較して十分

$$R \gg 1 / (\omega C2) \dots\dots\dots (3)$$

一方、容量 $C2$ が式(3)の条件を満たさない場合（実際の製品を考えるとこのような場合があり得る）、その

$$Q = (\omega C1) \cdot R + \{ C1 / (\omega C2 D C2) \} D (1/R) \dots\dots\dots (4)$$

となる。この場合であっても容量 $C2$ のインピーダンスはできる限り小さい方が好ましい。

【0032】式(4)による $R-Q$ 特性（両対数目盛）を示す図3からも分かるように $R-Q$ 特性は、 $C2$ の値に依存している。これから $C2$ の値を大きくすれば（ $C2$ のインピーダンスを小さくすれば）、全体の特性を低 Q 化できることが理解できる。なお、 $R = 1 / \omega C2$ のときに最小値 $Q_{min} = 2 C1 / C2$ が存在する。

【0033】以上のように、図3に示すような構造体においては、できる限り容量 $C2$ の値を大きくする必要があるが、実際の製品にその構造体を適用した場合、製造上の条件等から、必要な容量 $C2$ を確保できないことがある。

【0034】これについて以下、説明する。

【0035】一般に容量を誘電体層により形成する場合、その容量 C は、その誘電体層を挟み込む、グランド層と電源層のいずれかの表面積 S 、グランド層と電源層とのギャップ長 D 、誘電体層の持つ比誘電率 ϵ_r の関数により以下のように表される。

【0036】

$$C = \epsilon_0 \cdot \epsilon_r \cdot S / D \dots\dots\dots (式5)$$

式(5)からも分かるように、容量 C を大きくするには、表面積 S と誘電率 ϵ （ $= \epsilon_0 \cdot \epsilon_r$ ）とをできる限り

路を実効的に形成した場合）は理想的には次式で与えられる。

【0022】

【0025】ここで容量 $C2$ のインピーダンスを抵抗 Rc に比較して十分小さくする必要性を図2に示す等価回路を用いて説明する。

【0026】図2は図4の構造体をその電源層 V とグランド層 $G1$ からみた集中定数回路モデルである。

【0027】インダクタンス $L0$ 、容量 $C1$ の並列共振回路に抵抗 R を並列接続させる場合、図2(1)の等価回路で示すように、直流カットの容量 $C2$ に加えて、実装上インダクタンス成分 $L2$ が形成される。

【0028】図2(2)の等価回路が成立するには（ $L2$ を無視するには）、以下の条件が必要である。

【0029】

小さくした場合）に、容量 $C1$ と抵抗 Rc の並列回路を実効的に形成することができ、前述の式(1)が成立する。

【0031】

Q 値は、図2(2)の等価回路から、容量 $C1$ に対して、

大きくし、ギャップ長 D をできる限り小さくすればよいが、実際には、ギャップ長 D を小さくするには限界があり、誘電率 ϵ についても実存の誘電材料の持つ誘電率に限定されてしまう。また高速信号層を設ける場合、誘電材料は低誘電率が好ましいので容量 $C2$ は大きくできない。表面積 S についても製品の小型化に伴って、限定される場合が多い。

【0037】特に、電源層 V が複数個の分割導体パターンとなる場合（複数個の電源に対応するように1つの電源層を分割して利用する場合）、前述の表面積 S も分割導体パターンを含んだ表面積で考えなければならないので、その表面積により必要な容量を確保するのは困難である。さらに本回路基板を多層基板として製造する上では、その分割パターン毎に誘電率の異なる誘電層を形成するのは困難である。

【0038】従って、低 Q 化により不要輻射を抑制するためには、容量 $C2$ （ $C2j$ ）を容易に増加させる手段もしくは適正化させる手段が必要となる。

【0039】そこで、我々は前述の第一の目的を達成するために、図4もしくは図5に示すような構造体の電源層 V ともう一つのグランド層 $G2$ の間にディスクリート部品による容量 $C3$ を並列接続する構造を提供する。

【0040】具体的には、電子部品と少なくとも一方が

電氣的に接続された第一及び第二のグランド層と、該第一のグランド層と該第二のグランド層との間に設けられる該電子部品と電氣的に接続された電源層と、該第一のグランド層と該第二のグランド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、該各層間に配置された誘電体層と、該第一の表面層もしくは該第二の表面層に形成される、該第一のグランド層と該第二のグランド層と各々電氣的に接続される抵抗体と、該第一の表面層もしくは該第二の表面層に形成される、該電源層と該第二のグランド層と各々電氣的に接続される容量とを備えることにより不要輻射を抑制した基板となし、該基板を筐体に収容している。もしくは電子部品と少なくとも一方が電氣的に接続された第一及び第二のグランド層と、該第一のグランド層と該第二のグランド層との間に設けられる該電子部品と電氣的に接続された電源層と、該第一のグランド層と該第二のグランド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、該各層間に配置された誘電体層と、該第一のグランド層と該第二のグランド層とを電氣的に接続される抵抗体と、該第一の表面層もしくは該第二の表面層に形成される、該電源層と該第二のグランド層と各々電氣的に接続される容量とを備えることにより不要輻射を抑制した基板となし、該基板を筐体に収容している。

【0041】特に、前記電源層が複数個の電源に対応して互いに絶縁された平面導体パターンに分割された場合は、前記電子部品は必要な電源に対応した該平面導体パターンと電氣的に接続し、前記容量は、少なくとも1つの該平面導体パターンに対応して設ける。

【0042】このようにすれば、実存する誘電体の誘電率等の製造上の制限を受けずに、従来通りのプロセスを利用して不要輻射を抑制する電子機器、回路基板を提供できる。

【0043】特に1つの電源層を複数の電源パターンに分割して利用する場合、電源パターン毎にその電源とグランドとの電位変動を抑制するように容量を設定することができるので、1つの回路基板として前述の構造体を製造しておき、適宜に電源パターン毎の容量を設定すれば、製造コストの低減が図れる。

【0044】一方、前述の容量をデイスクリート部品により確保する場合、電源層とグランド層とをそれぞれスルーホールを介して接続する。この場合、必要な容量は確保できるがスルーホール等の影響によるインダクタンス成分が問題となる。この等価回路を図2(3)に示す。

【0045】そこで、本発明の第2の目的である、図2(3)に示す容量C3に直列接続されるインダクタンス成分L3の発生を抑制するため、容量C3を接続する電極面積、スルーホール本数の増加や接続箇所を複数個にする。

【0046】このように、スルーホール本数を増加させれば、スルーホールやデイスクリート部品は並列接続されたこととなるので、誘電体全体としての容量を増加させ、インダクタンスを減少させることができる。

【0047】これまで本構造体の集中定数回路としての作用を説明してきたが、分布定数回路として作用する場合も容量C2を確保する必要がある。

【0048】次に、分布定数回路として本発明の構造体もしくは回路基板が作用する場合について説明する。

【0049】電源層(V)とグランド層(G1)との間に発生した定在波を吸収するため、更にもう一つのグランド層(G2)と抵抗体(抵抗体層)を用い、電源層(V)を挟み込む形で配置された2つのグランド層(G1、G2)で平行板線路を形成し、線路端部に配置した抵抗体(抵抗体層)で整合終端抵抗R0を与える。

【0050】この場合、電源層(V)とグランド層(G1)、電源層(V)ともう一つのグランド層(G2)とで形成される2つの平行板線路は、線路終端が開放される状態になるため、特定の周波数領域で端部に大きな電位変動が発生する。しかし、2つのグランド層(G1、G2)で形成された平行板線路の内部に配置されるため、電位変動に伴う定在波は整合終端抵抗R0により吸収される。

【0051】つまり、分布定数回路として本発明の構造体もしくは回路基板が作用する場合は、抵抗体により整合終端させて、定在波共振による電位変動を吸収させる。

【0052】整合終端させる条件としては、抵抗体の抵抗値Rは以下の関係を満たすように設定する必要がある。

【0053】

【数1】

$$R = \frac{h}{a} \cdot \sqrt{\frac{\mu_0 \cdot \epsilon_{rl}}{\epsilon_0 \cdot \epsilon_{rl}}} \quad \dots \text{数1}$$

【0054】h : G1-V間のギャップ長

a : 矩形形状の一辺の長さ

ϵ_0 : 真空中(空气中)の誘電率

ϵ_{rl} : G1-V間を満たす誘電体の比誘電率

μ_0 : 真空中(空气中)の透磁率

μ_{rl} : 誘電体の比透磁率

この場合、電源層Vとグランド層G1との平行板線路とみなすためには、電源層Vとグランド層G2とを1つの線路として扱えるように、VとG2とをできる限り同電位にする必要がある。

【0055】実際にはVとG2との間は直流成分をカットするために誘電体層C2で満たされるが、前述の如く、それらを同電位にするにはC2のインピーダンスを小さく(C2を大きく)しなければならない。

【0056】また、平行板線路を整合終端する上でも、

基板全体のQ値を低減させる方が良い。

【0057】以上のように、分布定数回路として作用する場合も容量C2を確保する必要はある。この原理は電源層を分割して利用する場合も同様である。

【0058】

【発明の実施の形態】以下、本発明を詳述する。

【0059】まず、図9を参照しながら、不要輻射を抑制した電子機器と、その不要輻射を回路基板レベルで抑制することを説明する。

【0060】図9は、その電子装置1（パーソナルコンピュータ）の外観図を示す。

【0061】電子装置1は、高速CPU2を搭載した低EMI回路基板3を中心に、I/Oコネクタ4（4-1、……、4-5）、電源コード5、信号ケーブル6、筐体7、LCDディスプレイ8、キーボード9、フロッピーディスクドライブ10、ハードディスクドライブ11、バッテリーパック12、ICカード13、等からなる各構成要素が電氣的、構造的に接続されている。ここでの低EMI回路基板3には、「電子部品と少なくとも一方が電氣的に接続された第一及び第二のグラウンド層と、該第一のグラウンド層と該第二のグラウンド層との間に設けられる該電子部品と電氣的に接続された電源層と、該第一のグラウンド層と該第二のグラウンド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、該各層間に配置された誘電体層と、該第一の表面層もしくは該第二の表面層に形成される、該第一のグラウンド層と該第二のグラウンド層と各々電氣的に接続される抵抗体」や、「電子部品と少なくとも一方が電氣的に接続された第一及び第二のグラウンド層と、該第一のグラウンド層と該第二のグラウンド層との間に設けられる該電子部品と電氣的に接続された電源層と、該第一のグラウンド層と該第二のグラウンド層の外側に配置された該電子部品を実装する第一の表面層と第二の表面層と、該各層間に配置された誘電体層と、該第一のグラウンド層と該第二のグラウンド層とを電氣的に接続される抵抗体」を基本構成として備えている。

【0062】本電子装置1の大きな特徴は以下の2点が挙げられる。

【0063】1つは、ノイズ源となる回路基板に低EMI回路基板3を用いることにより、回路基板3と電氣的に接続された他の各構成要素（アンテナ、共振構造体）からの放射を抑制させており、従来のEMI対策部品（フェライトビーズ、フィルタ、バイパスコンデンサ等）を不要とした点である。これにより基板上から殆どのEMI対策部品を取り去ることとなり、基板面積を減少させ電子装置1の小型化、低コスト化を実現する。

【0064】具体的には、本電子装置1の基板周辺部に搭載される各種I/Oコネクタ4には、ノイズ対策に用いる従来のシールドケースやフェライトコアは設けておらず、その構造を簡易構造、小型軽量としている。

【0065】また、従来の電源コードや外部装置と接続される各種信号ケーブル6についても、本電子装置1では信号グラウンド（SG）自体が各種共振を抑制、除去して電位変動を取り除くため、基本的にコモンモードコア挿入やグラウンド強化の手段等のノイズ対策はされていない。これはディスプレイ部と電氣的に接続されるケーブルの場合も同様である。なお各種信号ケーブルでは、通常回路基板の信号グラウンド（SG）に発生する電位変動により駆動され不要輻射の発生源となる。

【0066】このように本電子装置1では、放射抑制手段の一つであるコモンモードコアの挿入や、装置内部でグラウンド強化の1つの手段である板金シールドや筐体シールド（Ni/Cuめっき、導電蒸着等）構造なしに、不要輻射を抑制している。なおコモンモードコアは、駆動源からみたケーブルのインピーダンスを増加させることで共振電流を抑制する方法であり、筐体シールド等は、金属薄板等により信号グラウンド（SG）のインピーダンスを低下させ、電位変動（ノイズ源）を抑制する方法である。

【0067】一般に、電子装置の動作周波数が増大（50MHz～1000MHz付近）し、回路基板からの不要輻射量（強度）が増加すると信号グラウンド（SG）に発生する電位変動の抑制が困難になり、その対策として、ノイズ発生源である基板全体を包囲する筐体シールドする方法もある。本電子装置1では、回路基板レベルで不要輻射を抑制するので、原理上動作周波数の増大に関係せず不要輻射を抑制、除去でき、プラスチック筐体に対して導電めっきや、薄板の金属板を取り付ける方法も基本的に不要となる。これまで導電めっき等を筐体に施すことで不要輻射を抑制していた電子装置に本電子装置1の構造を適用すれば、筐体にはシールド等を設けなくてすむので、筐体材料のリサイクル性の向上、軽量化、組立工数低減等を実現する製品となる。

【0068】もう1つの特徴は、電子装置の小型、薄型化を実現するため、内部に組み込まれたハードディスクドライブ、フロッピーディスクドライブ、ICカード等の部品は回路基板に対して近接配置すると、回路基板も含めた各構成部品間で信号グラウンド（SG）を介した電氣的、電磁氣的な結合が発生し易く、信号のノイズマージン低下や誤動作の発生が問題となるが、本発明の電子装置1では、低EMI回路基板3を用いており、原理的に各種共振に対する電位変動を吸収するため上記の問題を取り除くことができる点である。従って、小型薄型化の要求に対して電氣的、電磁氣的な結合を抑制するための新たな手段が不要であり、高密度化に有利な電子装置1を構成している。

【0069】以上のように、高性能な低EMI回路基板3を用いた電子装置1は、前記した数多くの問題点を総合的に解決し、高付加価値を提供する。この技術は、一般の電子装置に対しても適用展開でき、基本的に高速信

号回路形成と不要輻射抑制とを両立させる。

【0070】なお、本電子装置1のように、回路基板レベルで不要輻射を抑制すれば、電子機器から発生する不要輻射を抑制するだけでなく、電子装置1の外部から各種I/Oコネクタ4、電源コード5、信号ケーブル6を介して入ってくる電磁ノイズも吸収することができ、耐ノイズ性の向上効果（高イミュニティ性）もある。

【0071】次に、前述の電子機器に収容される多層回路基板の一例を図1を参照しながら説明する。

【0072】図1は、本発明の一実施例であり、多層回路基板（9層基板）1の断面図を示す。

【0073】電源層V2がグランド層G（G1）3ともう一つのグランド層G24で挟まれ、電源層V2とグランド層G13の間に信号層S35と信号層S46が挟まれる。グランド層G13、グランド層G24の外側には各々信号層S17、信号層S28と信号層S59、信号層S610が配置される。

【0074】表面層となる信号層S17、信号層S610には、LSI部品11を搭載する接続パターン12やチップ抵抗13（13-1、13-2、13-3）、チップ容量14、15（15-1、15-2）を搭載する接続パターン16（16-1、16-2、16-3）、17、18（18-1、18-2）が形成される。

【0075】各層間の絶縁体は誘電体であり、電源層V2とグランド層G24の間に挟まれた誘電体19の比誘電率 $\epsilon r2$ を他の誘電体20の比誘電率 $\epsilon r1$ ：4、7よりも数倍以上高くし、かつグランド層G13とグランド層G24との間にチップ抵抗13を多点スルーホールや導体壁で電氣的に接続して、電源層V2とグランド層G13との層間浮遊容量C1のQ値を1程度（輻射抑制領域）にしている。

【0076】電源層V2に多種電源用の分割導体パターン2-1、2-2、2-3を形成するため、チップ容量14、15（15-1、15-2）を電源層V2とグランド層G24との間に1個ないし複数個接続している。

【0077】また、接続構造に伴うインダクタンス成分を低減するため、電極面積を広げた多点のスルーホール構造や導体壁で接続している。同様に、グランド層G13とグランド層G24とで形成される線路の整合終端化でもチップ抵抗R13を基板周辺部に一定ピッチで配置し、導体壁や多点のスルーホール構造としている。チップ抵抗に代わり、印刷抵抗を基板周辺部に形成し、分布定数回路を効果的にする場合もある。

【0078】分割導体パターン2-2等では、導体面積が減少するため通常層間の浮遊容量のみで容量C2（C2j）を確保し低Q化をすることが困難となる。そこで、容量C2（C2j）を容易に増加させる手段、あるいは多種電源パターンからなる電源層V（Vj）の容

量C2（C2j）を適正化する手段として、電源層V2とグランド層G24との間にチップ容量15（15-1、15-2）からなるディスクリート部品を用いて低Q化を実現させている。

【0079】なお、厚膜基板の場合は表面に厚膜プロセスにより容量を形成することができるのは言うまでもない。

【0080】この考え方は、本実施例に限らず、あらゆる基板、構造に適用できるのは言うまでもない。

【0081】

【発明の効果】本発明は、電子機器において搭載する回路基板レベルで不要輻射を抑制するので、従来からI/O部、電源コードのコモンモードチョークやフィルタ、バイパスコンデンサ等の各種対策部品を不要とし、これらに伴う■コストの上昇、■体積の増加による製品の小型化、薄型化、軽量化等、いわゆる高密度実装への障害、■対策部品の高度化、■外観デザイン設計の制約条件等のデメリットがない電子機器を提供できる。

【0082】また、プラスチック筐体にメッキ等を施したシールド構造とする必要がないので、プラスチック筐体のリサイクル化にも貢献できる効果がある。

【0083】本発明の回路基板は、回路基板レベルでの不要輻射を抑制することを可能とする。特に、本発明は、電源層Vとグランド層G1を有する多層回路基板にもう一つのグランド層G2を追加した構造において、V-G2間浮遊容量C2にチップ容量を接続させた構造（好ましくは並列接続させた構造）を与えてV-G1間浮遊容量C1を容易に低Q化し、基板からの不要輻射を抑制、除去する効果がある。

【0084】また、電源層Vが多種電源となる場合、電源層を特に増加させずに各電源の分割パターンに対して効率的に低Q化を実現できるためコスト低減の効果もある。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例であり、多層回路基板（9層基板）1の断面図を示す。

【図2】図2は本発明の集中定数回路による等価回路モデルを示す。

【図3】図3は本発明の抵抗RとQ値との関係を示す特性図を示す。

【図4】図4は本発明の一例を示す。

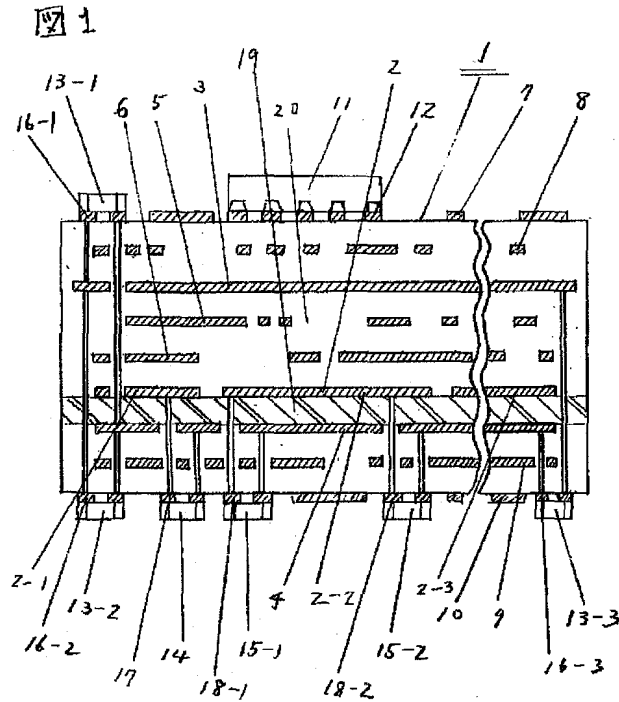
【図5】図5は本発明の一例を示す。

【図6】図6は本発明の一例を示す。

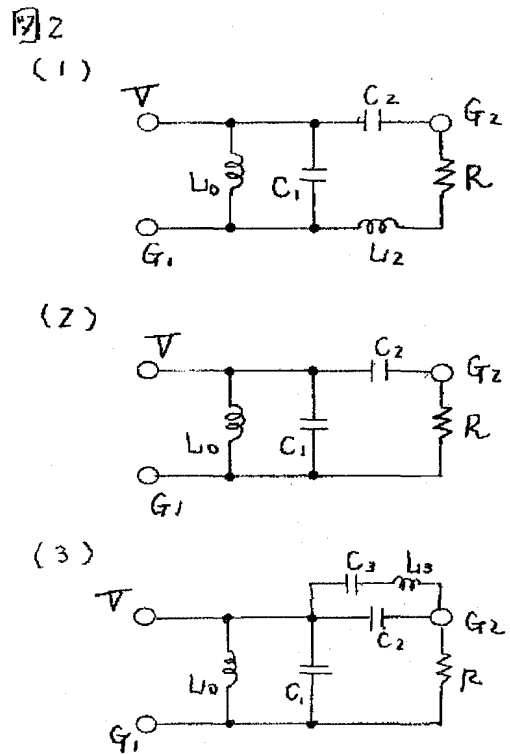
【符号の説明】

- 2 : 電源層V
- 3 : グランド層G（G1）
- 4 : もう一つのグランド層G2
- 5～10 : 信号層S1～6
- 13 : チップ抵抗
- 14、15 : チップ容量

【図1】

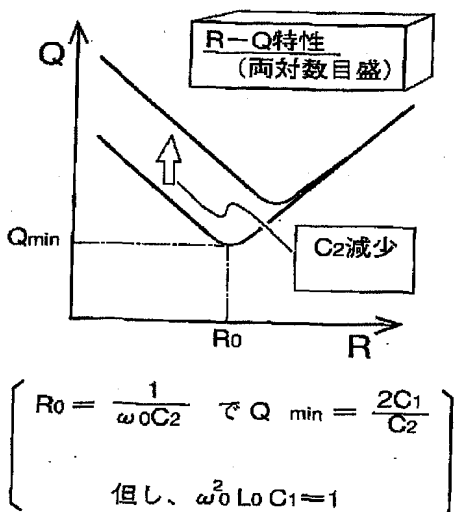


【図2】

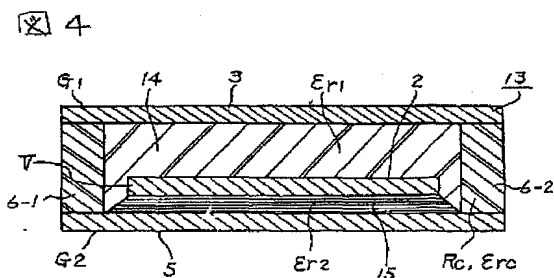


【図3】

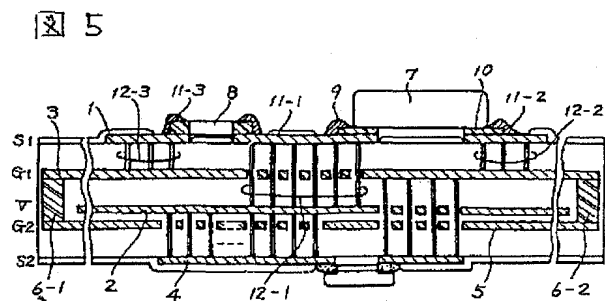
図3



【図4】



【図5】



【図6】

